

1 介绍

本文主要介绍i.MX RT1170的双核应用，包括以下主题：

- 启动
- 对MU/SEMA4/RDC/XRDC2/共享存储区的简介
- 采用不同工具链的双核调试

目录

1	介绍	1
2	启动	1
3	对MU/SEMA4/RDC/XRDC2/共享存储区的简介	2
4	采用不同工具链的双核调试	5
5	参考资料	11
6	修订历史	11

2 启动

2.1 从CM7启动

默认情况下，i.MX RT1170从CM7核启动。本章讨论当CM7核为启动核时，如何启动CM4。

2.1.1 用于了解如何启动第二个内核的基本模型

首先，我们需要知道一个基本模型，用于了解如何启动第二个内核，如图1所示。



图1. 用于启动第二个内核的基本模型

图1显示了启动第二个内核（CM4）的基本步骤：

1. CM7将映像加载到CM4的ITCM中。
2. CM7启动CM4。
3. CM4核开始运行。

在i.MX RT1170中，CM4的ITCM有两个地址：0x1FFE_0000和作为别名的0x2020_0000。

- 0x1FFE_0000用于CM4的ITCM访问。只有CM4核可以使用这个基址，而CM4代码映像使用此地址存储指令。
- 0x2020_0000用于慢速的别名访问。CM7和CM4都可以访问此基址。CM7使用此地址将CM4映像加载到CM4的ITCM。

2.1.2 详细启动流程

详细的启动流程如下：

1. 准备CM4映像。通常，它置于CM7映像内。它也可以来自其他来源，如SD卡或U盘等。
2. CM7核运行后，将CM4映像加载到目标存储区。通常，对于CM7来说，它是映射到CM4的ITCM的0x2020_0000的空间。



3. CM7核通过IOMUXC_LPSR_GPR -> GPR0和IOMUXC_LPSR_GPR -> GPR1设置CM4的向量表地址。
4. 通过SRC_SCR_BT_RELEASE_M4_MASK启动CM4内核。

2.1.3 将CM4映像加载到目标存储区

要将CM4映像加载到目标存储区，可以用以下任一方法：

- 显式加载，方法是使用 `memcpy()` 函数。
- 隐式加载，方法类似于在RAM中初始化某些变量。

对于不同的IDE/工具链，SDK使用不同的方式。它由宏 `CORE1_IMAGE_COPY_TO_RAM` 控制。MCUXpresso采用隐式方法，IAR、Keil和GCC采用显式方法。

如需了解更多有关从CM7启动的详细信息，请参阅 `SDKroot/boards/evkmimxrt1170/multicore_examples/hello_world` 中的SDK示例。

2.1 从CM4启动

默认情况下，i.MX RT1170从CM7启动。通过融断 `BT_CORE_SEL`（`0x960` 中的位12），此芯片可切换到CM4作主核。

从CM4启动的步骤如下，与从CM7启动类似。

1. CM4将CM7映像加载到目标存储区。
2. 释放CM7内核。
3. CM7内核开始运行。

不同之处在于，CM7向量表是从IOMUXC_LPSR_GPR->GPR26加载的，而从CM7释放则是通过 `SRC_SCR_BT_Release_M7_MASK`。如需了解更多信息，请访问 `mcmgr_internal_core_api_imxrt1170.c` 中的 `mcmgr_start_core_internal()` 函数。

注意

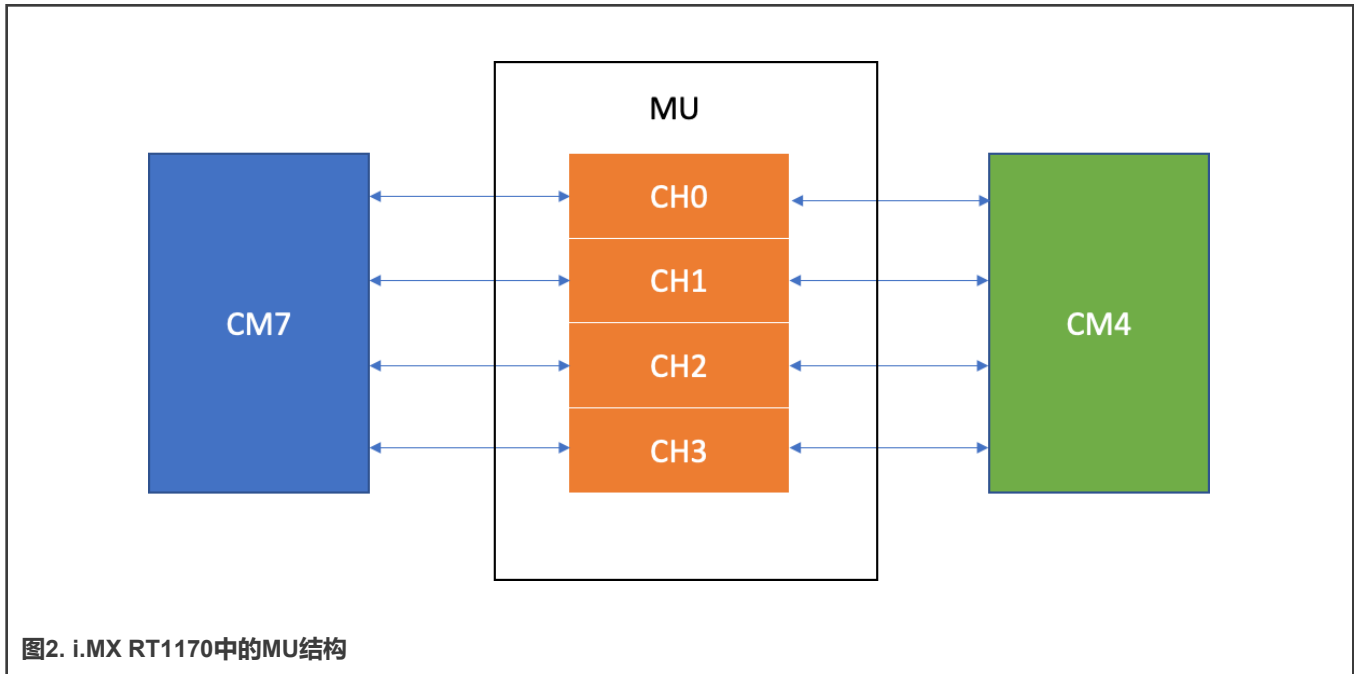
CM4无法直接访问CM7的TCM，因此如有必要，请使用eDMA。

由于恩智浦官方SDK包只支持CM7作为主核（启动核），因此对这种情况的支持是有限的。如果在应用中不是必须的，最好不要切换到CM4作主核。

3 对MU/SEMA4/RDC/XRDC2/共享存储区的简介

3.1 MU

通过MU，一个内核可以向另一个内核发送32位消息，并立即触发另一个内核的中断。MU支持四个双向通道。图2显示了MU结构。



例如，CM7可以向CM4发送0x1234_5678消息，而CM4可以立即在中断中捕获这个0x1234_5678消息。

相关的SDK示例，请参见SDK *root/boards/evkmimxrt1170/driver_examples/mu*。

3.2 SEMA4

SEMA4通常用于多核环境中的资源保护，可防止不同的主机同时使用同一资源。

该资源可以是存储块、外设，甚至是存储器中的软件对象。

SEMA4最多支持16个门。只有成功锁住门的主机才能使用受此SEMA4门保护的资源。其他主机必须等待，直到拥有此门的主机释放/解锁这个门。

图3显示了SEMA4结构。

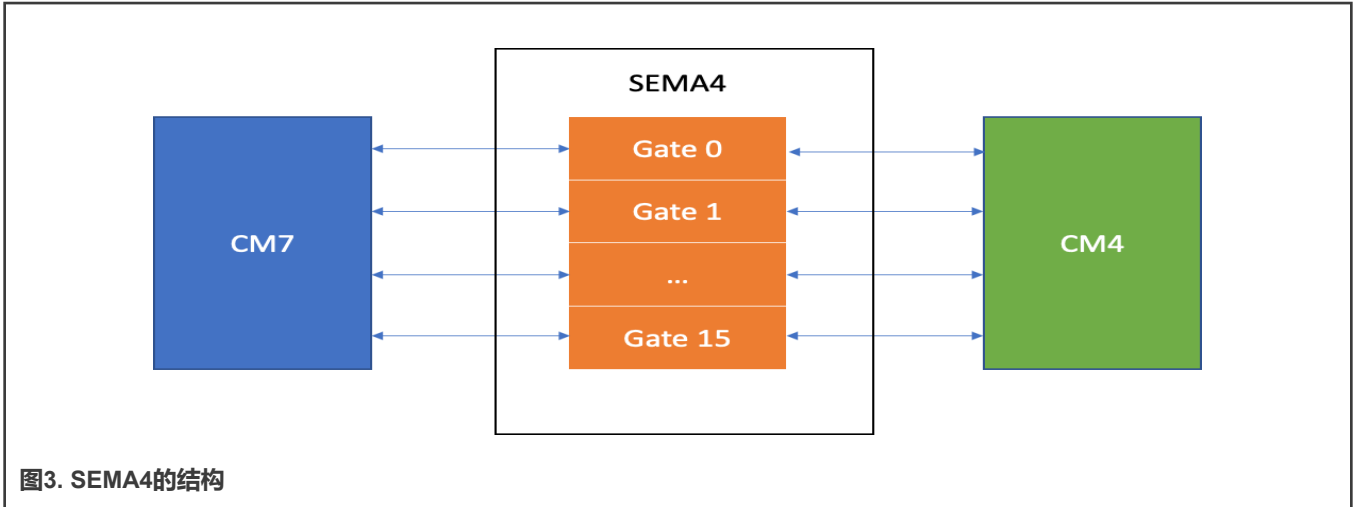


图3. SEMA4的结构

相关的SDK示例，请参见SDK *root/boards/evkmimxrt1170/driver_examples*。

3.3 RDC/XRDC2

RDC/XRDC2用于资源隔离。资源可以是外设或存储区。该特权可以是读、写，也可以是即读又写。

例如，我们可以将LPUART1分配给CM7域，然后只有CM7内核可以访问LPUART1。如果其他总线主设备（如CM4内核）访问LPUART1，侵权ISR就会发生。

注意

RDC/XRDC2的总线主设备不限于CM7和CM4内核，ENET、LCDIF、USB、CSI等也可以是总线主设备。

3.4 共享存储区

CM7和CM4内核都可以访问共享存储区。如果数据块需要从一个核传递到另一个核，那么通过MU共享存储区可以是一个很好的选择。

典型的工作流程如下：

1. 内核A将数据块写入共享存储区。
2. [步骤1](#)完成后，内核A触发内核B的MU中断，内核B就会知道来自内核A的数据块已经准备就绪。
3. 内核B读取数据块并进行处理。
4. [步骤3](#)完成后，内核B触发内核A的MU中断，内核A知道内核B已处理完该数据块，然后内核A可为内核B加载下一个数据块。

如有必要，可以使用双缓冲区甚至队列。

[表1](#)列出了可用作共享存储区的典型存储区。

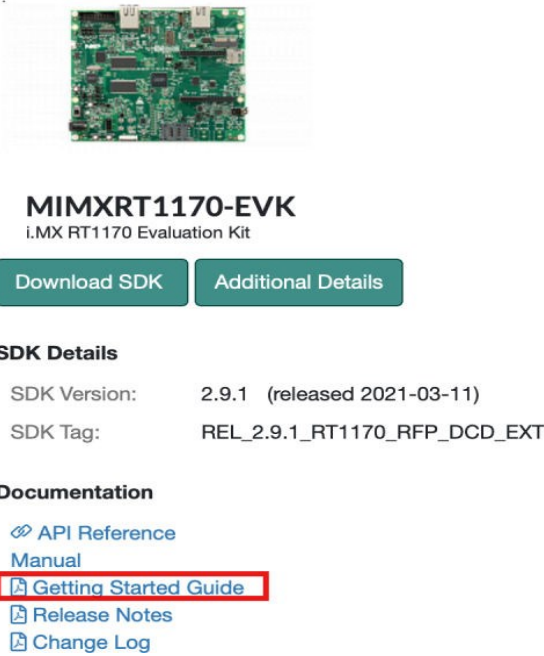
表1. 可用作共享存储区的典型存储区

	CM7的访问地址	CM4的访问地址	大小
CM4的DTCM	0x2022_0000	0x2000_0000	128 KB
OCRAM1	0x2024_0000	同CM7	512 KB
OCRAM2	0x202C_0000	同CM7	512 KB
OCRAM1_ECC	0x2034_0000	同CM7	64 KB
OCRAM2_ECC	0x2035_0000	同CM7	64 KB

此外，如有必要，来自SEMC的外部存储器，如SDRAM，以及来自Flex SPI的存储器，也都可以用作共享存储区。

4 采用不同工具链的双核调试

对于双核调试指南，请访问[MCUXpresso SDK Builder](#)中提供的*Getting Started with MCUXpresso SDK for MIMXRT1170-EVK*（文档MCUXSDKMIMXRT117XGSUG），如图4所示。



MIMXRT1170-EVK
i.MX RT1170 Evaluation Kit

[Download SDK](#) [Additional Details](#)

SDK Details

SDK Version: 2.9.1 (released 2021-03-11)
SDK Tag: REL_2.9.1_RT1170_RFP_DCD_EXT

Documentation

- [API Reference](#)
- [Manual](#)
- [Getting Started Guide](#)
- [Release Notes](#)
- [Change Log](#)

图4. 获取SDK入门指南

请查看有关多核的相关章节，了解如何在RT1170上开始针对MCUXpresso/IAR/Keil/GCC的双核调试。该文档还介绍了双核调试的一些要点，供用户参考。

4.1 MCUXpresso

测试环境：

- 用于i.MX RT1170的SDK: 2.9.1
- MCUXpresso : 11.3.1
- 示例：`SDK_root\boards\evkmimxrt1170\multicore_examples\hello_world`

4.1.1 采用DAP-LINK (CMSIS DAP) 调试

将SW1设置为OFF OFF ON OFF，可将电路板设置为XIP启动模式。确保闪存中有一个正常工作的已知映像。一些有问题的映像可能会阻止调试器连接。

MCUXpresso下双核调试的快捷步骤如下：

1. 导入多核“hello world”示例，如图5所示。

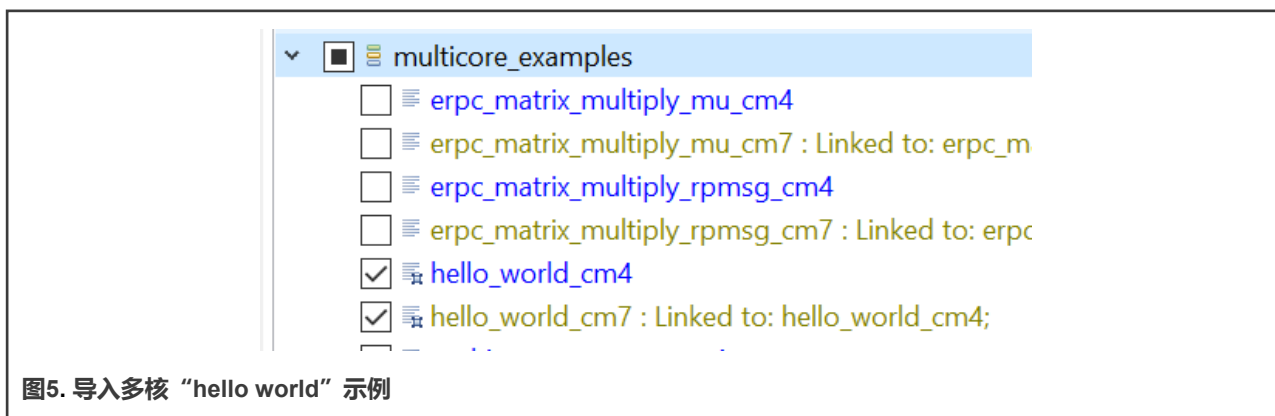


图5. 导入多核“hello world”示例

2. 构建CM4项目。
3. 构建CM7项目。
4. 选择CM7项目。

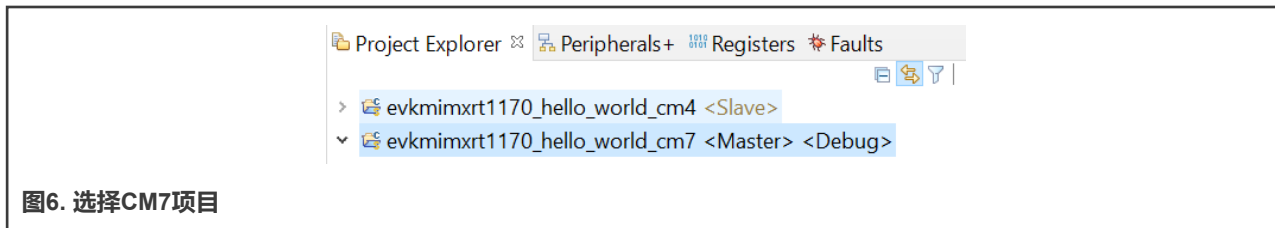



图6. 选择CM7项目

5. 单击  按钮，启动调试会话。
6. 在图7中分别为CM7和CM4选择CMSIS DAP调试器。




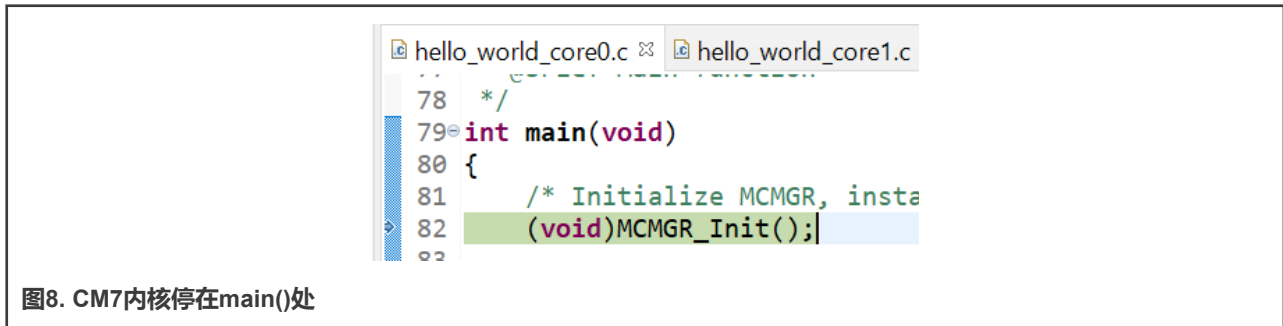

Available attached probes					
	Name	Serial number/ID	Type	Manufacturer	IDE Debug Mode
	CMSIS-DAP v1	02440b03092db67700000...	LinkServer	ARM	Non-Stop
	J-Link PLUS	600109557	USB	SEGGER	All-Stop
	3rd party CMSIS-DAP	1043579317	USB	SEGGER	All-Stop

图7. 选择CMSIS DAP

7. 然后CM7停在main处。

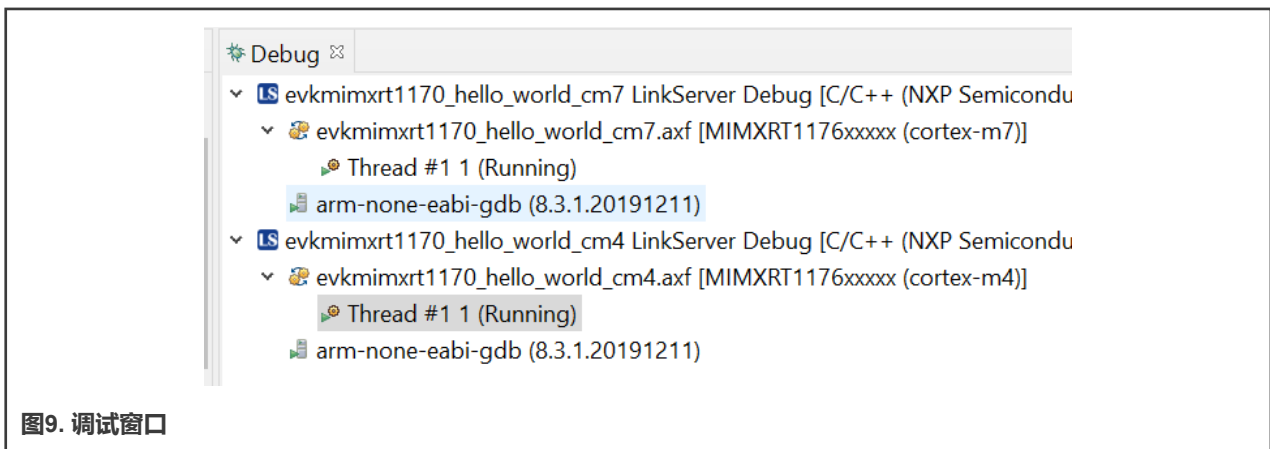


8. 单击  按钮。
9. CM4内核停在main处。
10. 单击CM4内核项目中的Run按钮，两个内核都开始运行。此控制台日志如下：

```

Hello World from the Primary Core!
Starting Secondary core.
The secondary core application has been started.
  
```

11. 在Debug窗口中，两个内核都在运行。我们可以选择任何一个内核并停止它进行调试，或者如果有用户断点，那么一旦代码运行到断点，就会命中。



4.1.2 采用Jlink调试

将SW1设置为OFF OFF ON OFF，可将电路板设置为XIP启动模式。

对于JLink调试器，断开J5-J8。与CMSIS DAP的步骤相同，以下仅列出了不同的步骤：


1. 选择CM7项目，并启动调试会话。
2. 运行CM7项目，但不会自动添加CM4项目。
3. 添加CM4项目。
 - a. 选择CM4项目。
 - b. 单击  按钮。
4. 双核调试已启动。



图10. 在MCUXpresso中用Jlink进行双核调试


4.2 IAR

测试环境：

- 用于i.MX RT1170的SDK: 2.9.1
- IAR : 9.10.1
- 示例：`SDK_root\boards\evkmimxrt1170\multicore_examples\hello_world`

4.2.1 采用DAP-LINK (CMSIS DAP) 调试

IAR下双核调试的快捷步骤如下：

1. 构建CM4项目。
2. 构建CM7项目。
3. 在CM7项目中，单击  按钮启动调试。

这样CM7和CM4项目就都由IAR在多核模式自动启动，并可进行调试了。

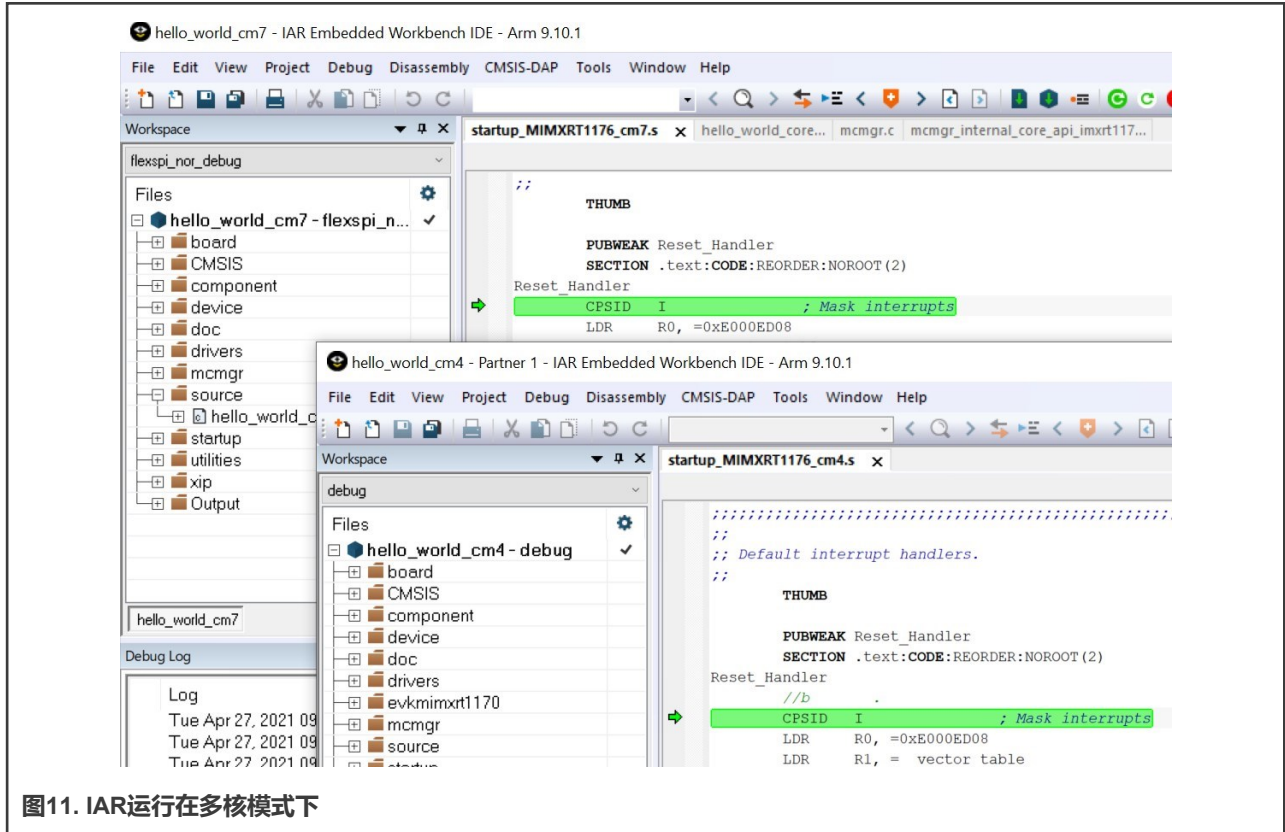


图11. IAR运行在多核模式下

4. 在CM7项目中运行CM7内核。
5. 在CM4项目中运行CM4内核。

4.2.2 采用Jlink调试

将SW1设置为OFF OFF ON OFF，可将电路板设置为XIP启动模式。

对于JLink，IAR不像它支持DAP-Link那样支持多核模式。我们需要分别打开CM7项目和CM4项目进行双核调试。

采用Jlink进行双核调试的步骤如下：

1. 构建CM4和CM7项目。
2. 启动CM7调试会话。
3. 运行CM7项目。
4. 添加CM4项目，如图12所示。

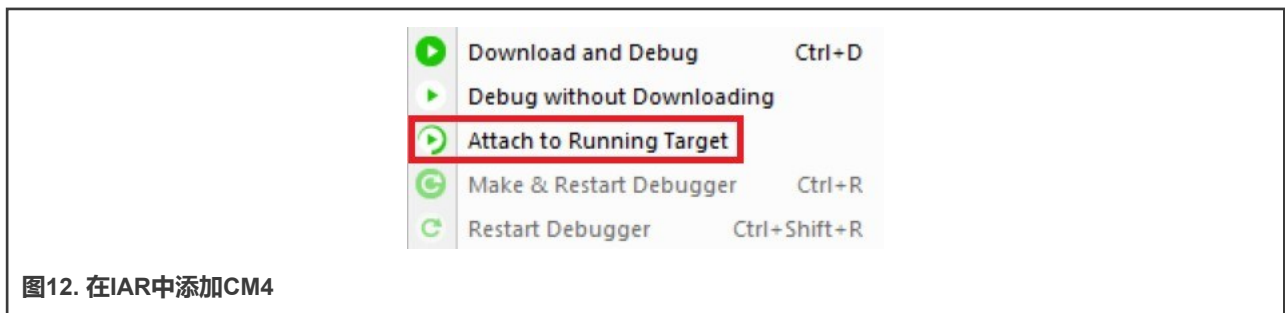



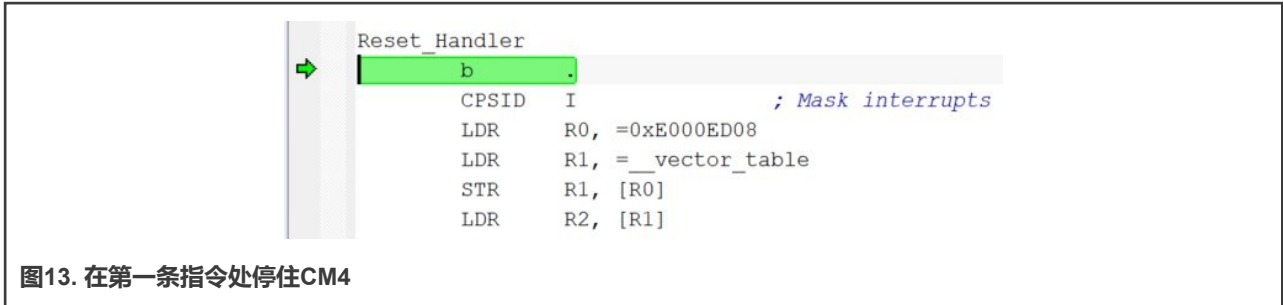
图12. 在IAR中添加CM4

5. 需要时按  按钮，代码将停在其运行的位置。

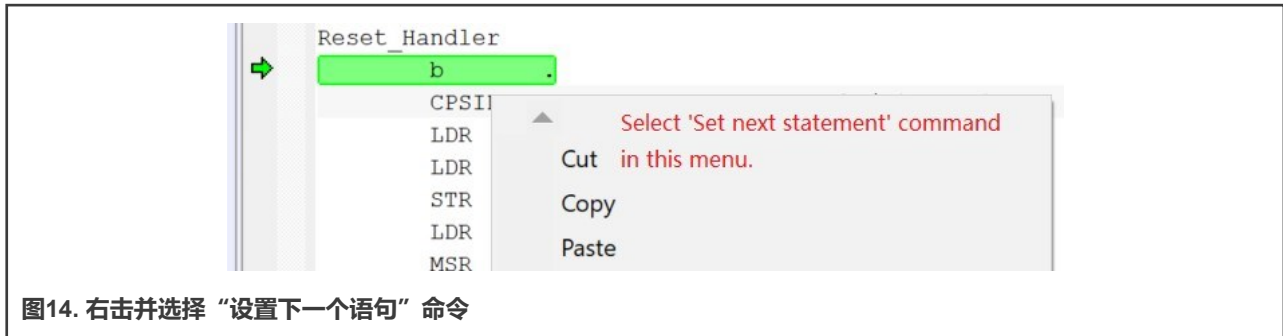
4.2.3 从第一条指令调试CM4内核

默认情况下，CM4内核调试不能从头开始。要从第一条指令调试CM4，请执行以下步骤。

1. 添加一个循环指令，如图13所示。



2. 当正确加载CM4内核项目后，代码在此中断。右键单击下一条指令→设置下一个语句命令，可将PC移至下一条指示。



现在，我们就可以从第一条应用指令开始调试了。

4.3 Keil

测试环境：


- 用于i.MX RT1170的SDK: 2.9.1
- Keil : 5.34
- 示例：`SDK_root\boards\levkmimxrt1170\multicore_examples\hello_world`

4.3.1 采用DAP-LINK (CMSIS DAP) 调试

将电路板设置为XIP启动模式。

按照以下步骤进行双核调试：

1. 构建CM4项目。
2. 构建CM7项目。
3. 启动CM7调试会话。

4. 单击  按钮，添加CM4项目。

4.3.2 采用Jlink调试

将SW1设置为OFF OFF ON OFF，可将电路板设置为XIP启动模式。

按照以下步骤进行双核调试：

1. 将evkmimxrt1170\multicore_examples\hello_world\cm7\evkmimxrt1170_connect_cm4_cm7side.jlinkscript复制到mdk文件夹，并将其重命名为JLinkSettings.jlinkscript。
2. 将evkmimxrt1170\multicore_examples\hello_world\cm4\evkmimxrt1170_connect_cm4_cm4side.jlinkscript复制到mdk文件夹，并将其重命名为JLinkSettings.jlinkscript。
3. 构建CM4项目。
4. 构建CM7项目。
5. 启动CM7调试会话，但不要运行。
6. 启动CM4调试会话。
7. 运行CM7项目。

4.3.2 从第一条指令调试CM4内核

如需了解相关的详细信息，请参阅[从第一条指令调试CM4内核](#)，不同之处在于右击后选择“Set Program Counter（设置程序计数器）”。

5 参考资料

- *i.MX RT1170处理器参考手册*（文档IMXRT1170RM）
- *面向MIMXRT1170-EVK的MCUXpresso SDK快速入门*（文档MCUXSDKMIMXRT117XGSUG）

6 修订历史

版本号	日期	实质性变更
0	2021年4月27日	初版发布

How To Reach Us

Home Page:

nxp.com

Web Support:

nxp.com/support

Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document. NXP reserves the right to make changes without further notice to any products herein.

NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including "typicals," must be validated for each customer application by customer's technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address: nxp.com/SalesTermsandConditions.

Right to make changes - NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Security — Customer understands that all NXP products may be subject to unidentified or documented vulnerabilities. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer's applications and products. Customer's responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer's applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP. NXP has a Product Security Incident Response Team (PSIRT) (reachable at PSIRT@nxp.com) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

NXP, the NXP logo, NXP SECURE CONNECTIONS FOR A SMARTER WORLD, COOLFLUX, EMBRACE, GREENCHIP, HITAG, ICODE, JCOP, LIFE, VIBES, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, Altivec, CodeWarrior, ColdFire, ColdFire+, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, Processor Expert, QorIQ, QorIQ Qonverge, SafeAssure, the SafeAssure logo, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, Tower, TurboLink, EdgeScale, EdgeLock, eIQ, and Immersive3D are trademarks of NXP B.V. All other product or service names are the property of their respective owners. AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, µVision, Versatile are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved. Oracle and Java are registered trademarks of Oracle and/or its affiliates. The Power Architecture and Power.org word marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org.

© NXP B.V. 2021.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: 27 April, 2021

Document identifier: AN13264

