

1 概述

本应用笔记展示了 FlexIO 外围模块的典型用例之一，该外围模块最初是在 NXP K32L2B MCU 上以 I²S 音频总线主控的方式引入。

FlexIO 是一个高度可配置的模块，能够模拟各种串行/并行通信协议，包括 UART，I²C，SPI，I²S 等。

该应用笔记介绍了 FlexIO 外设能够生成所有必需的 I²S 总线信号，并且可以替代传统用于传输音频数据流的 I²S/SAI 外设，而且对应功能或 CPU 资源基本不会受到限制。

对于验证 I²S 用例，已经实现了一个简单的软件驱动程序。对于此演示，使用 FRDM-K32L2B 板。音频记录存储在 MCU 的内部闪存中。音频记录采样率为 48.000 kHz，单通道（单声道），分辨率为 16 位。I²S 字长设置为 32 位。WM8904 音频编解码器 IC 放置在 NXP Mic/Audio/Oled Shield (MAO) 上，用于音频再现。

2 所需的硬件

本文档介绍了基于 FRDM-K32L2B 板的应用。基本概念和想法可以在定制硬件上轻松复现。

可以使用以下板子轻松设置该应用程序：

1. FRDM-K32L2B 板
2. NXP Mic/Audio/Oled Shield (MAO)

通过 I²C 总线，K32L2B MCU 可以设置和控制 WM8904 编解码器，通过模拟 I²S 总线来传输音频数据。

表 1. 电路板连接

外部设备	引脚	K32L2B	MAO
I ² S	FS	J2-12 PTD5	J1-18 (FS)
	BCLK	J2-6 PTD4	J1-16 (BCLK)
	MCLK	J2-4 PTD2	J4-9 (MCLK)
	TX	J1-6 PTD3	J1-20 (RX)
	RX	J2-8 PTD6	J1-10 (TX)
I ² C	SCL	J4-2 (I2C0_SCL) PTB0	J1-1 (SCL)
	SDA	J4-4 (I2C0_SDA) PTB1	J1-3 (SDA)

FlexIO 模块中的硬件资源包括移位器、定时器和引脚。可以从 FLEXIO_PARAM 寄存器中读取给定微控制器的有关资源。例如，K32L2B 中有四个移位器、四个定时器和八个引脚。

目录

1	概述.....	1
2	所需的硬件.....	1
3	使用 FlexIO 对 I ² S 的主设备模拟.....	2
3.1	基本说明.....	3
3.2	移位器和定时器的配置.....	4
4	软件介绍.....	8
4.1	初始软件设置.....	8
4.2	软件中的 I ² S 总线模拟.....	8
4.3	运行软件代码并测试 demo.....	8
5	总结.....	9
6	参考文献.....	9



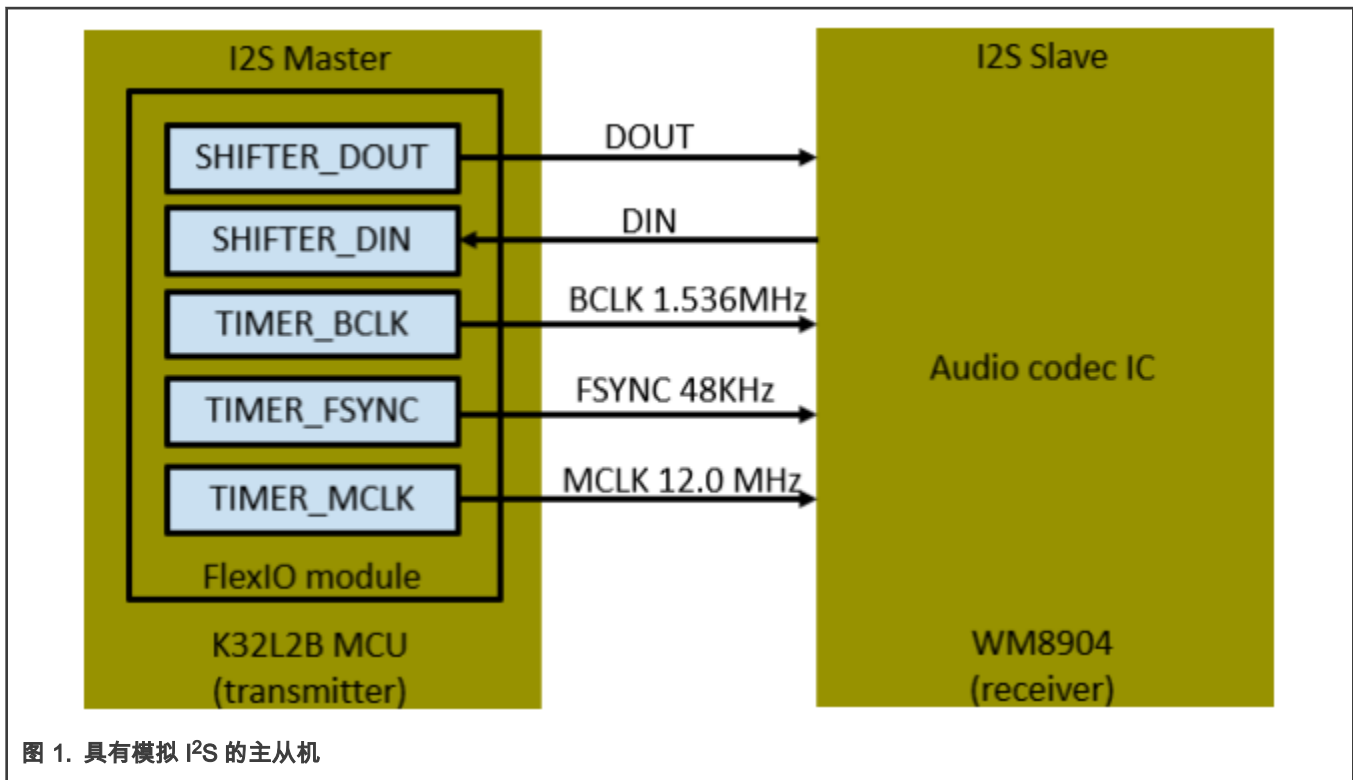
发送和接收是移位器的两种基本模式。

- 如果将一个移位器配置为发送模式，它将从其缓冲寄存器加载数据，并将数据逐位移出至其指定的引脚。
- 如果将一个移位器配置为接收模式，它将从其分配的引脚移入数据，并将数据存储到其缓冲寄存器中。

加载、存储和移位操作均由移位器分配的定时器控制。

FlexIO 模块充当 I²S 总线主控器，产生所有必需的信号：

- 字选择 (WS/FSYNC/LRCLK = 48 kHz)
- 位时钟 (BCLK = 1.536 MHz)
- 串行数据 (SD/DOUT)
- FlexIO 输入频率为总线时钟 = 48.000 MHz
- 主时钟 (MCLK = 12 MHz)



注意

- 如果与 **MCLK** 引脚连接的频率为 12 MHz，则 WM8904 可以使用其内部 PLL 达到 24.576 MHz。
- 核时钟来自高频 IRC 48 MHz，为系统和 FlexIO 模块提供 48.0 MHz。在此输入频率下，使用 FlexIO 模块中的整数分频器很难达到标准音频采样率，例如 22.050 kHz 或 44.100 kHz。为了获得最佳性能和兼容性，MCU 时钟可由外部晶振或振荡器提供 12.288 MHz、24.576 MHz 或 49.152 MHz (典型的音频应用晶振频率)。

3 使用 FlexIO 对 I²S 的主设备模拟

在应用程序中，FlexIO 模拟了一个 I²S 接口与 WM8904 编解码器进行通信，在该编解码器中集成了通用 I²C。图 2 展示了硬件平台和数据流。

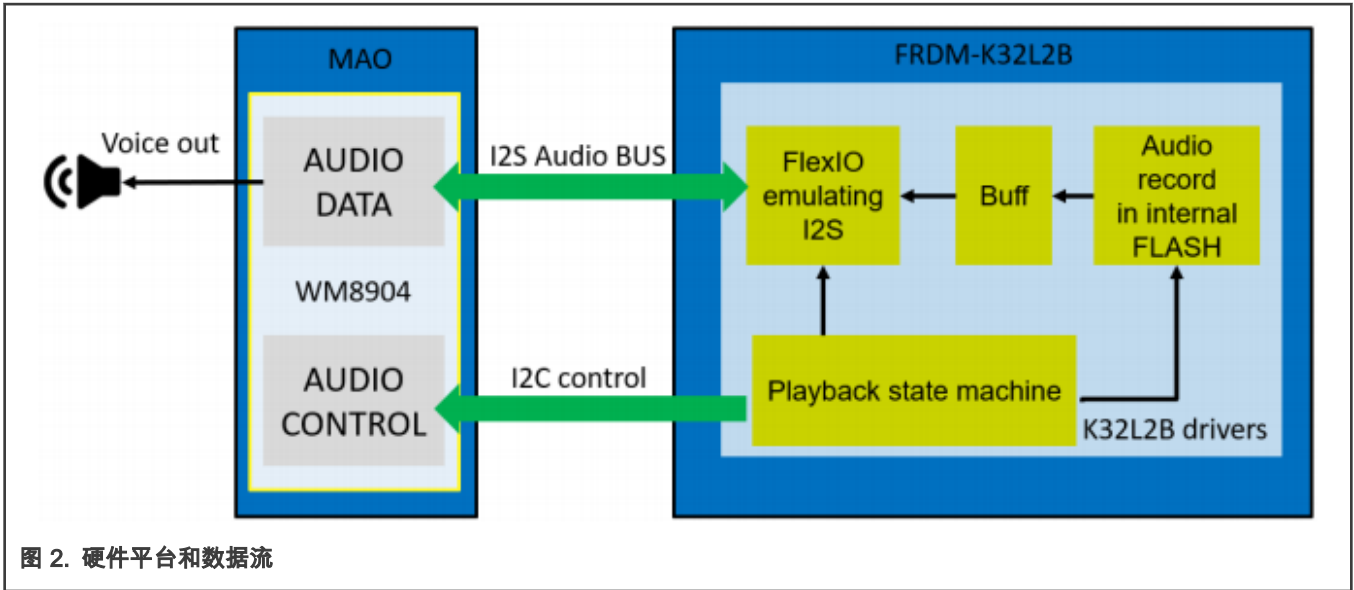


图 2. 硬件平台和数据流

3.1 基本说明

通过使用三个定时器、两个移位器和四个引脚，可以支持 I²S 主模式。

- 一个定时器用于生成位时钟并控制移位器。
- 第二个定时器用于生成帧同步。
- 另外，还使用第三个定时器和一个引脚用于生成 MCLK 输出。

在启用位时钟和 FSYNC 生成之前，FlexIO 模块等待对发送数据缓冲器的首次写入。可以使用 DMA 控制器来支持数据传输，如果存在发送欠载或接收溢出，将会设置移位器错误标志。

位时钟频率是 FlexIO 时钟频率的偶数分频，并且初始帧同步声明与第一个位时钟沿同时发生。定时器使用起始位来确保 FSYNC 在第一个输出数据之前已经产生了一个时钟周期。

图 3 展示了资源分配。

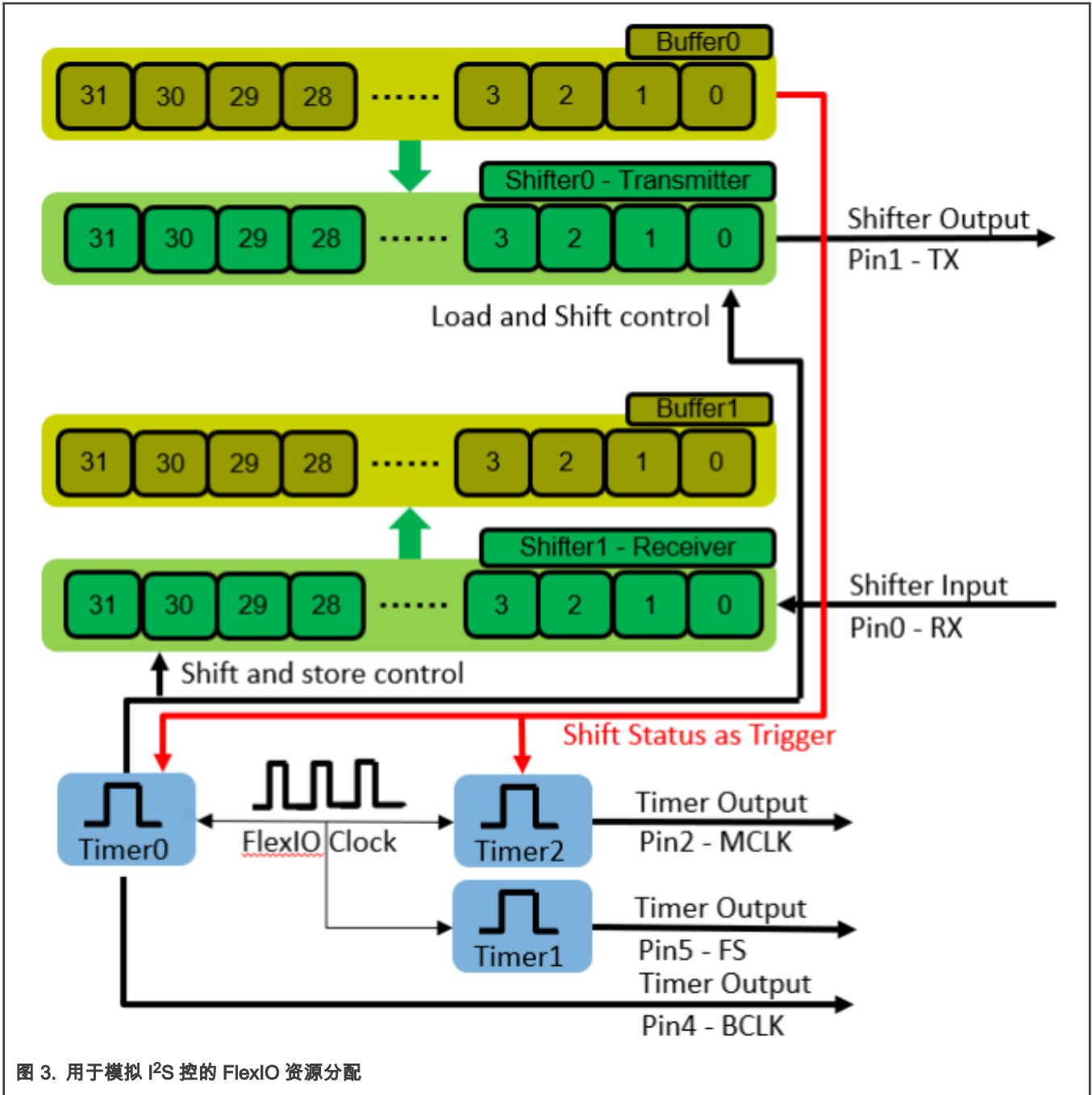


图 3. 用于模拟 I²S 控的 FlexIO 资源分配

3.2 移位器和定时器的配置

3.2.1 移位器 0 (TX) 的配置

移位器 0 用作发送器，其初始配置如表 2 所示。

表 2. 移位器 0 的初始配置和寄存器信息

寄存器	数值	项目	配置/相应说明
SHIFTCTL0	SMOD = 2	移位器模式	发送
	PINPOL = 0	移位器引脚极性	引脚为高电平有效
	PINSEL = 3	移位器引脚选择	Pin 3
	PINCFG = 3	移位器引脚配置	移位器引脚输出
	TIMPOL = 0	定时器极性	在移位信号的上升沿移位
	TIMSEL = 0	定时器选择	定时器 0 用于控制逻辑/移位寄存器并产生移位时钟
SHIFTCFG0	START = 1	移位器起始位	发送器在第一个移位加载数据
	SSTOP = 0	移位器停止位	发送器/接收器/匹配存储的停止位禁用
	INSRC = 0	输入源	选择引脚作为移位器的输入源

3.2.2 移位器 1 (RX) 的配置

移位器 1 用作接收器，其初始配置如表 3 所示。

表 3. 移位器 1 的初始配置和寄存器信息

寄存器	数值	项目	配置/相应说明
SHIFTCTL1	SMOD = 1	移位器模式	发送
	PINPOL = 0	移位器引脚极性	引脚为高电平有效
	PINSEL = 6	移位器引脚选择	Pin 6
	PINCFG = 0	移位器引脚配置	禁用移位器引脚输出
	TIMPOL = 1	定时器极性	在移位信号的下降沿移位
	TIMSEL = 0x00	定时器选择	定时器 0 用于控制逻辑/移位寄存器并产生移位时钟
SHIFTCFG1	START = 1	移位器起始位	发送器在启用时加载数据
	SSTOP = 0	移位器停止位	发送器/接收器/匹配存储的停止位禁用
	INSRC = 0	输入源	选择引脚作为移位器的输入源

3.2.3 定时器 1 的配置 (FS 48 KHz)

定时器 1 用作接收器，其初始配置如表 4 所示。

表 4. 定时器 1 的初始配置

寄存器	数值	项目	配置/相应说明
TIMCTL1	TIMOD = 3	定时器模式	单 16 位计数器模式
	PINPOL = 1	定时器引脚极性	引脚为低电平有效
	PINSEL = 0x05	定时器引脚选择	Pin 5
	PINCFG = 3	定时器引脚配置	定时器引脚输出
	TRGSRC = 0	触发源	选择外部触发器
	TRGPOL = 0	触发器极性	触发器高电平有效
	TRGSEL = 0x02	触发源	—
TIMCFG1	TSTART = 0	定时器起始位	禁用起始位
	TSTOP = 0	定时器停止位	禁用停止位
	TIMENA = 1	启用定时器	启用定时器 0 时启用计时
	TIMDIS = 0	禁用定时器	不能禁用定时器
	TIMRST = 0	定时器复位	不能复位定时器
	TIMDEC = 0	递减计数	减法计数器在 FlexIO 时钟上。移位时钟等于定时器输出。
	TIMOUT = 0	定时器输出	启用时，定时器输出逻辑 1，不受定时器复位的影响。

3.2.4 定时器 0 的配置 (BCLK 1.536 MHz)

定时器 0 用于控制移位器 0 和移位器 1，其初始配置如表 5 所示。

表 5. 定时器 0 的初始配置

寄存器	数值	项目	配置/相应说明
TIMCTL0	TIMOD = 1	定时器模式	双 8 位计数器波特率/位模式
	PINPOL = 0	定时器引脚极性	引脚为高电平有效
	PINSEL = 0x04	定时器引脚选择	Pin 4
	PINCFG = 3	定时器引脚配置	定时器引脚输出
	TRGSRC = 1	触发源	选择内部触发器
	TRGPOL = 1	触发器极性	触发器低电平有效
	TRGSEL = 0x01	触发器选择	移位器 0 的状态标志

下页继续...

表 5. 定时器 0 的初始配置 (续上页)

寄存器	数值	项目	配置/相应说明
TIMCFG0	TSTART = 1	定时器起始位	启用起始位
	TSTOP = 0	定时器停止位	禁用停止位
	TIMENA = 2	启用定时器	定时器在触发器高电平时启用
	TIMDIS = 0	禁用定时器	不能禁用定时器
	TIMRST = 0	定时器复位	不能复位定时器
	TIMDEC = 0	递减计数	减法计数器在 FlexIO 时钟上。移位时钟等于定时器输出。
	TIMOUT = 0	定时器输出	启用时，定时器输出逻辑 1，不受定时器复位的影响。

3.2.5 定时器 2 的配置 (MCLK 12 MHz)

定时器 2 用于产生 MCLK 输出，其初始配置如表 6 所示。

表 6. 定时器 2 的初始配置

寄存器	数值	项目	配置/相应说明
TIMCTL1	TIMOD = 1	定时器模式	双 8 位计数器波特率/位模式
	PINPOL = 0	定时器引脚极性	引脚为低电平有效
	PINSEL = 0x02	定时器引脚选择	Pin 2
	PINCFG = 3	定时器引脚配置	定时器引脚输出
	TRGSRC = 1	触发源	选择内部触发器
	TRGPOL = 1	触发器极性	触发器低电平有效
	TRGSEL = 0x01	触发器选择	移位器 0 的状态标志
TIMCFG1	TSTART = 1	定时器起始位	启用起始位
	TSTOP = 0	定时器停止位	禁用停止位
	TIMENA = 2	启用定时器	定时器在触发器高电平时启用
	TIMDIS = 0	禁用定时器	不能禁用定时器
	TIMRST = 0	定时器复位	不能复位定时器
	TIMDEC = 0	递减计数	减法计数器在 FlexIO 时钟上。移位时钟等于定时器输出
	TIMOUT = 0	定时器输出	启用时，定时器输出逻辑 1，不受定时器复位的影响

4 软件介绍

注意

- 此应用程序已基于 NXP Kinetis 软件开发套件 (KSDK) 的硬件抽象层 (HAL) 实现了一些驱动程序功能。
- SDK 版本 2.6.0

4.1 初始软件设置

在初始化期间，所有必需的外围模块时钟都在 SIM 中启用，并且选择 48 MHz HIRC 作为时钟源。

在 `FLEXIO_I2S_Init` 函数中，初始化 FlexIO 移位器和定时器。用户可以根据实际需求定义定时器、移位器和引脚来模拟 I²S。I²C 总线用于对 MAO 上的 WM8904 音频编解码器 IC 进行初始配置，该配置用于此应用程序的演示和测试。

4.2 软件中的 I²S 总线模拟

I²S 总线功能通过以下机制进行模拟，以确保 FlexIO 输出流畅、连续的音频数据：

1. **SHIFTER0**：用于以 32 位帧的形式输出音频数据。发送数据在第一个移位加载。禁用停止位。数据发送由 **Timer0** 驱动。数据在 Pin3 的时钟上升沿移出。
2. **SHIFTBUF0**：可以将发送数据写入 **SHIFTBUFBBS**。移位器状态标志用于指示何时可以使用中断或 DMA 请求写入数据。可以通过写入 **SHIFTBUF** 寄存器来支持第一种数据格式的 LSB。
3. **SHIFTER1**：可用于音频数据输入。移位器配置为在时钟下降沿使用 **Timer0** 并在 Pin6 上接收输入数据。禁用 **SHIFTER1** 的起始位/停止位（未使用）。
4. **SHIFTBUF1**：可以从 **SHIFTBUFBBS** 读取接收到的数据。移位器状态标志用于指示何时可以使用中断或 DMA 请求读取数据。可以通过写入 **SHIFTBUF** 寄存器来支持第一种数据格式的 LSB。
5. 使用 Pin4 输出（**BCLK**）将 **TIMER0** 配置为双八位计数器，其中 **SHIFTER0** 标志用作反向触发。PINPOL 设置为反转输出移位时钟。启用起始位，定时器在高电平触发时启用。初始时钟状态为 1。设置 **TIMCMP** [15 : 8] = (位数 × 2) - 1。设置 **TIMCMP** [7 : 0] = (波特率分频器 / 2) - 1。
6. 使用反相的 Pin5 输出（作为 **FSYNC** 信号）将 **TIMER1** 配置为 16 位计数器。当 **TIMER0** 被启用（从不禁用）时，**TIMER1** 被启用。
7. **TIMER2** 配置为生成 **MCLK**（主时钟）输出，用于外部编解码器 IC。

4.3 运行软件代码并测试 demo

用户可以将程序镜像下载到微控制器以测试当前演示。在 PC 主机和 FRDM-K32L2B 板的 USB 接口之间连接了 USB 电缆之后，PC 主机将获得一个串行端口。打开具有以下设置的串行端口：115200 波特率，8 个数据位，无奇偶校验，1 个停止位，无流控制。

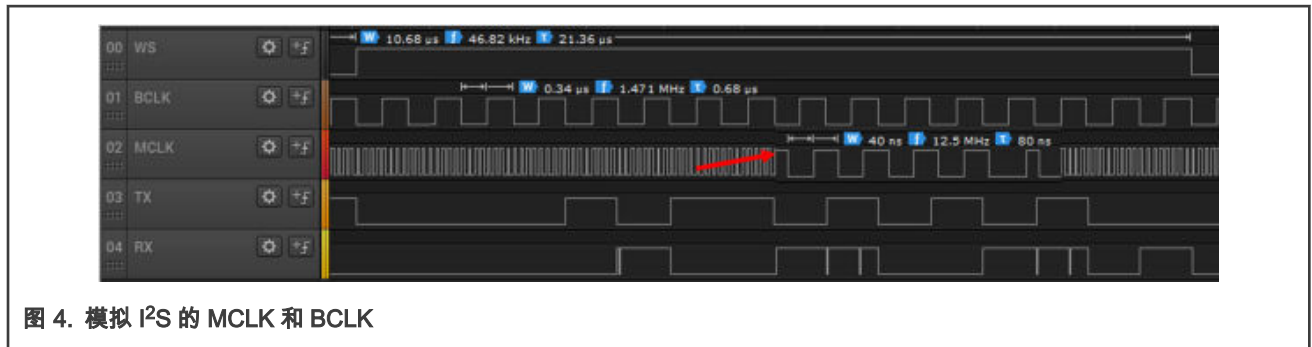
表 7. 固件开发材料

项目	说明
PC	主机设备连接到开发板
Debugger 调试器	板载调试器中的默认 CMSIS-DAP 固件
IDE	MDK (V5.26.2.0)
Demos	...\SDK_2.6.0_FRDM-K32L2B_FlexIOI2S\boards\frdmk32l2b\driver_examples\flexio\i2s_dma\dma_i2s_transfe

- 用户可以使用存储在 MCU 内部闪存中的音频记录，或按照以下步骤测试当前演示。
 1. 使用音频线将 LINE IN 与手机连接。

2. 使用 USB 线将 LINE OUT 与耳机连接。
 3. 下载软件代码，然后按 RESET 以运行演示。
 4. 在 PC 上播放音乐。
- MCLK 和 BCLK 的波形。

用户可以使用示波器或逻辑分析仪捕获 MCLK 和 BCLK 的波形。运行演示时，逻辑分析仪如 图 4 所示。



5 总结

此应用程序展示了 K32L2B MCU 上可用的 FlexIO 外设，它模拟了 I²S 主发送器中的 I²S 音频总线。音频记录存储在 MCU 的内部闪存中，并由 I²S 从设备 WM8904 音频编解码器复现。使用 FRDM-K32L2B 板演示了该应用。使用介绍的方法可以成功地模拟 I²S 总线功能。可以在 NXP 网站上免费下载应用软件示例。

6 参考文献

参考文献包括：

- *K32 L2B Sub-Family Reference Manual* (文档 [K32L2B3xRM](#))
- *Emulating the I2S Bus Master with the FlexIO Module* (文档 [AN4955](#))

How To Reach Us

Home Page:

nxp.com

Web Support:

nxp.com/support

Limited warranty and liability — Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document. NXP reserves the right to make changes without further notice to any products herein.

NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. “Typical” parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including “typicals,” must be validated for each customer application by customer’s technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address: nxp.com/SalesTermsandConditions.

Right to make changes - NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Security — Customer understands that all NXP products may be subject to unidentified or documented vulnerabilities. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer’s applications and products. Customer’s responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer’s applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP. NXP has a Product Security Incident Response Team (PSIRT) (reachable at PSIRT@nxp.com) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

NXP, the NXP logo, NXP SECURE CONNECTIONS FOR A SMARTER WORLD, COOLFLUX, EMBRACE, GREENCHIP, HITAG, ICODE, JCOP, LIFE, VIBES, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, AltiVec, CodeWarrior, ColdFire, ColdFire+, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, Processor Expert, QorIQ, QorIQ Qonverge, SafeAssure, the SafeAssure logo, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, Tower, TurboLink, EdgeScale, EdgeLock, eIQ, and Immersive3D are trademarks of NXP B.V. All other product or service names are the property of their respective owners. AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, µVision, Versatile are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved. Oracle and Java are registered trademarks of Oracle and/or its affiliates. The Power Architecture and Power.org word marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org. M, M Mobileye and other Mobileye trademarks or logos appearing herein are trademarks of Mobileye Vision Technologies Ltd. in the United States, the EU and/or other jurisdictions.

© NXP B.V. 2021.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: 2020 年 2 月

Document identifier: AN12644